

# 情報工実験1

## 汎用ロジック IC によるカウンタの実現

035760A:横田敏明

2004/6/14

共同実験者  
宮国大輔  
村山正嗣

## 1 予備知識・実験概要

今回の実験は，カウンタを汎用ロジック IC を用いて実現することにより，フリップフロップの特性を理解するとともに，カウンタの動作原理および同期式順序回路の設計手順を習得することを目的とする．

### 1.1 順序回路

順序回路とは，内部に記憶素子を含み，過去の入力の履歴に依存して出力を決定する回路である．

フリップフロップ回路は記憶素子の最小単位である．FF を組み合わせることにより，メモリやレジスタ等を実現する．

また，今回の実験では FF を組み合わせることでカウンタを実現する．

### 1.2 フリップフロップ概要

フリップフロップ回路は回路内にフィードバックを設け，電圧が保持されているか，されていないか，で記憶機能を実現している．

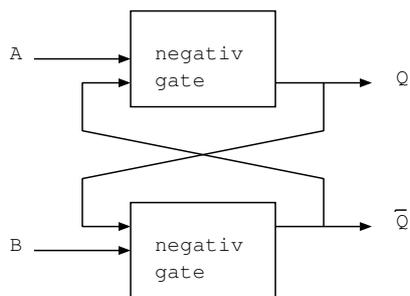


図 1: フリップフロップ回路

二つの入力に対し，出力は互いに排反である．つまり，出力の一方が 1 であれば，もう一方は必ず 0 である．

### 1.2.1 RS-FF 概要

RS フリップフロップは NOR ゲートによって実現できる。今回は、IC を  
つかったため始めから FF 回路を設計することは無かったが、回路図を以下  
に示す。

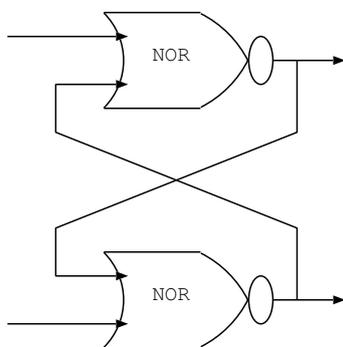


図 2: RS-FF 回路

RS-FF は NAND ゲートを用いて次のように表すこともできる。

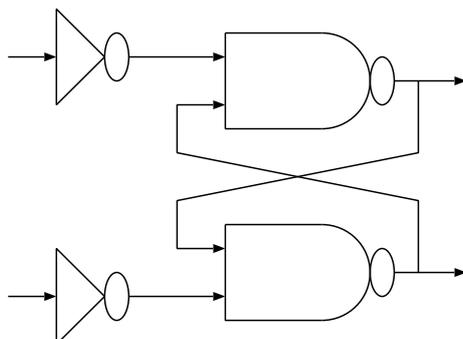


図 3: AND を用いた RS-FF 回路

### 1.2.2 D フリップフロップ概要

D-FF はクロック入力によって、出力状態を保持するか、出力状態を入力と等しくするか、を切替える回路である。

D-FF では、パルス周期幅だけ入力を遅らせることができるので、遅延 FF ともよばれる。

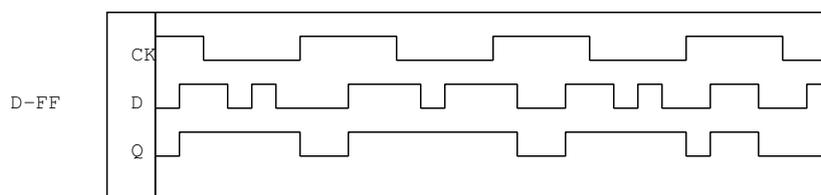


図 4: D-FF タイミングチャート

### 1.2.3 エッジトリガ型フリップフロップ

エッジトリガ型 FF 回路は、クロックの変化の瞬間を起点に出力を決定する回路である。ポジティブエッジトリガ型とネガティブエッジトリガ型があり、後者はクロック入力を反転させた回路である。

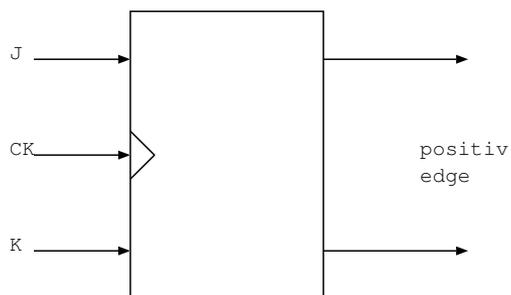


図 5: ポジティブエッジトリガ型 FF 回路

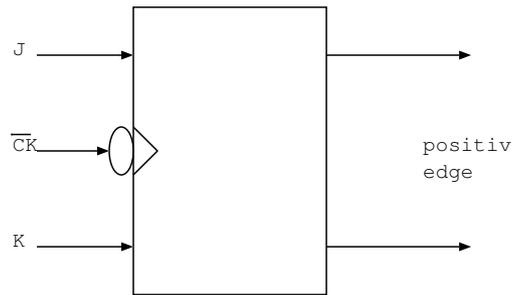


図 6: ネガティブエッジトリガ型 FF 回路

### 1.3 7進同期式カウンタ状態遷移表

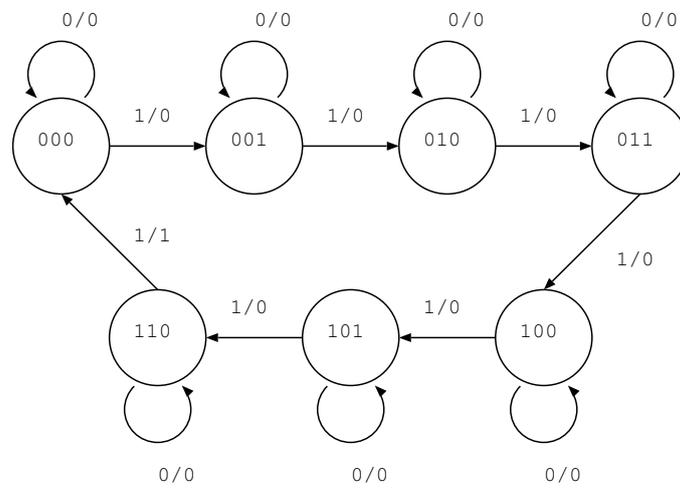


図 7: 7進同期式カウンタの状態遷移

$q_0 \sim q_6$  の各状態をそれぞれ,  $(Q_2, Q_1, Q_0) = (000), (001), (010), (011), (100), (101), (110)$  とすると, 状態遷移表は以下のようになる.

7進カウンタ状態遷移表

現状態 q	次状態		出力	
	入力 0	入力 1	入力 0	入力 1
$q_0$	$q_0$	$q_1$	0	0
$q_1$	$q_1$	$q_2$	0	0
$q_2$	$q_2$	$q_3$	0	0
$q_3$	$q_3$	$q_4$	0	0
$q_4$	$q_4$	$q_5$	0	0
$q_5$	$q_5$	$q_6$	0	0
$q_6$	$q_6$	$q_0$	0	1

状態  $q_6$  のときに入力 1 を受けると, 初期状態  $q_0$  にもどり, 出力 1 を返す.

## 1.4 状態遷移関数及び出力関数

### 1.4.1 状態遷移関数

7進同期式カウンタの状態遷移関数は以下の通り.

$$Q'_0 = \overline{Q_0} \cdot (\overline{Q_1} + \overline{Q_2}) \quad (1)$$

$$Q'_1 = (\overline{Q_1} \cdot Q_0) + (Q_1 \cdot \overline{Q_0} \cdot \overline{Q_2}) \quad (2)$$

$$Q'_2 = (Q_0 \cdot Q_1) + (\overline{Q_1} \cdot Q_2) \quad (3)$$

積の表現になっているが, 和に展開しても同様の結果を得られる.

### 1.4.2 出力関数

出力関数の生成には注意が必要.

これが7進数カウンタであることに注意しなければならない.

110の次は000へ状態がもどるため, 論理圧縮することが可能. 以下に示すと.

$$Y = X \cdot Q_2 \cdot Q_1 \quad (4)$$

となる.

## 1.5 回路図

前述で求められた状態遷移関数より，回路図を生成．以下に示す．

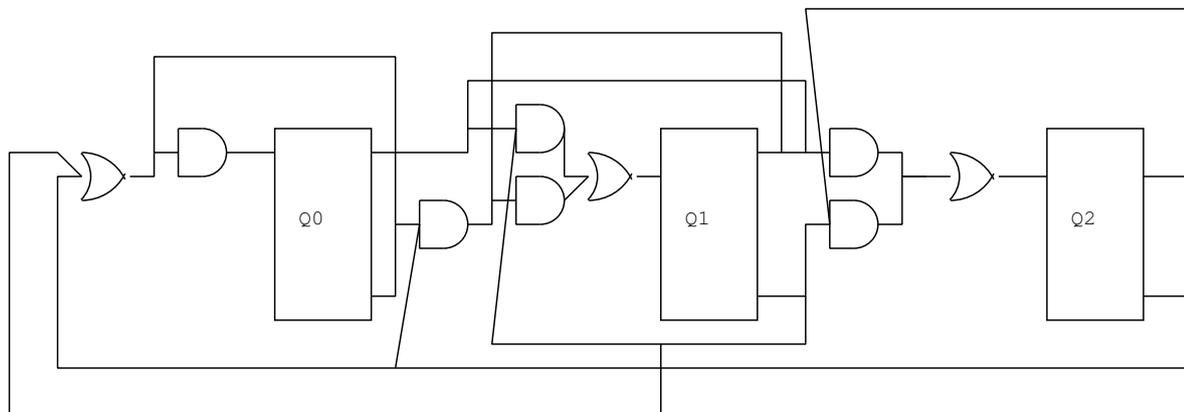


図 8: D フリップフロップによるカウンタ回路図

ブレッドボード上で回路を実現したところ，期待どおりの結果を得た．

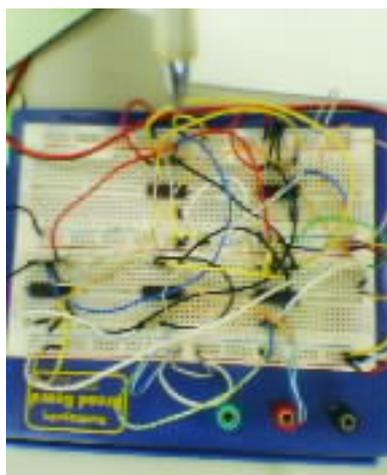


図 9: 実際の回路



図 10: オシロスコープのパルス波形

## 2 ジョンソンカウンタ

ジョンソンカウンタとはシフトレジスタによって、入力されるたびに1の状態が増加する回路である。  
 全てのFFが1の状態になったときは、順次1の状態が減少する。

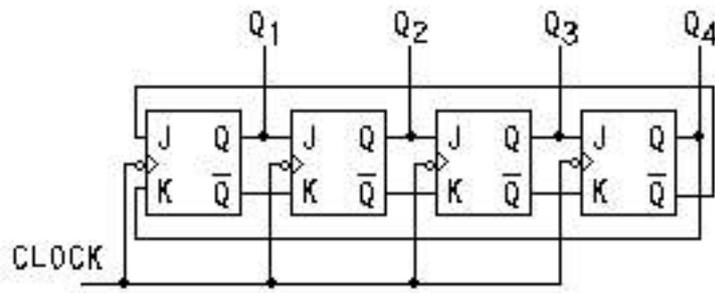


図 11: ジョンソンカウンタ回路

この回路は一度誤作動を起こすと、正常な状態に戻ることはない。

### 3 JK-FF

JK Flip-Flop 回路は、出力 Q の値によって、入力を選択する回路である。名前の由来は Q(queen) を J(jack) と K(king) が奪い合うことにみたてている。JK-FF は順序回路を構成するときによくつかわれる。

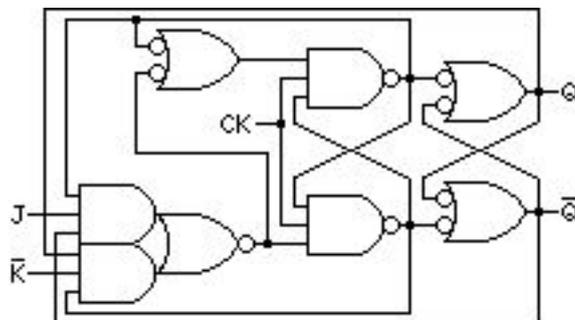


図 12: JK-FF 回路

### 4 同期式の利点

同期式はクロック入力に気を配って設計すればよく、設計が簡単である。現在ではデジタル回路の設計を、設計アルゴリズムによって自動的に設計できる言語がある。

非同期式の設計アルゴリズムは、いまだに発見されておらず、巨大な回路を設計することは不可能に近い。非同期式の利点はその処理速度の速さにあるのだが、実用的な規模の設計が不可能な今日では同期式の設計が定石である。

### 5 シフトレジスタ

レジスタ自体は記憶素子の集合体である。シフトレジスタとは、記憶しているデータを左右にシフトすることができるレジスタのことである。二進数データならば、 $2^n$  演算が非常に容易に実現できる。

## 6 考察

### 6.1 非同期式

前にも述べたが，大規模な非同期式順序回路の設計は不可能である．非同期式回路は高速で，アイデアとしては単純なものだが大規模な設計になると，タイミングの計算などの必要が出るため極めて複雑である．

### 6.2 状態遷移関数と出力関数

順序回路の設計には状態遷移関数や出力関数から設計図をもとめ，実現する．状態遷移関数の論理圧縮は，カルノー図を用いておこなう．

### 6.3 今回の実験について

今回の実験は，より高度な設計技術が必要とされた．情報工実験も，順を追って高度な設計技術を養ことができると思われる．FF回路を用いた順序回路の設計では状態遷移関数を用い，組み合わせ回路では入力のみ依存するため入出力関数を用いる．設計ノウハウの吸収を実感できた．

## 7 参考

<http://ddx.hp.infoseek.co.jp/counter.html>  
<http://www.infonet.co.jp/ueyama/ip/glossary/shiftregister.html>  
<http://www.finetune.co.jp/lyuka/technote/logic/>